Lab04 实验报告

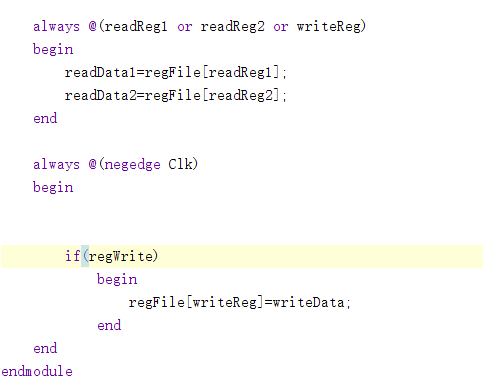
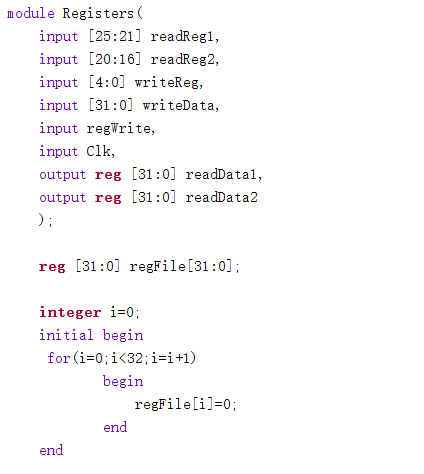
王正 518021910079

1. 实验名称

简单的类 MIPS 单周期处理器部件实现——寄存器与存储器

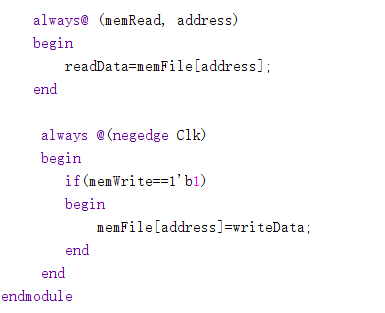
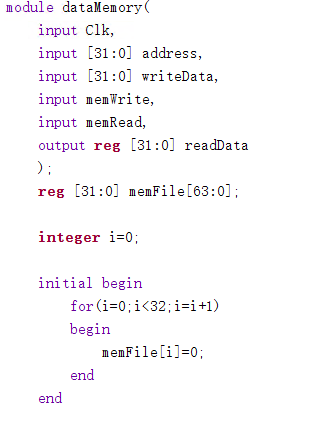
1. 实验目的
2. 理解CPU 的寄存器、存储器、有符号扩展
3. Register 的实现
4. Data Memory 的实现
5. 有符号扩展的实现
6. 使用行为仿真
7. 功能实现
8. 寄存器Registers

寄存器的读取是组合逻辑，写入是时序逻辑，所以只要遇到 readReg 信号就可以读取，在下降沿进行写入操作。



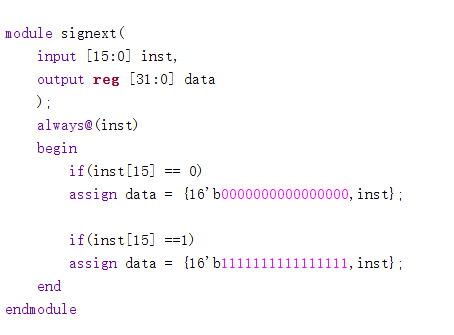
1. 数据存储器模块dataMemory

数据存储器模块和寄存器模块类似，写数据也要考虑信号同步，实现代码和寄存器基本相同。

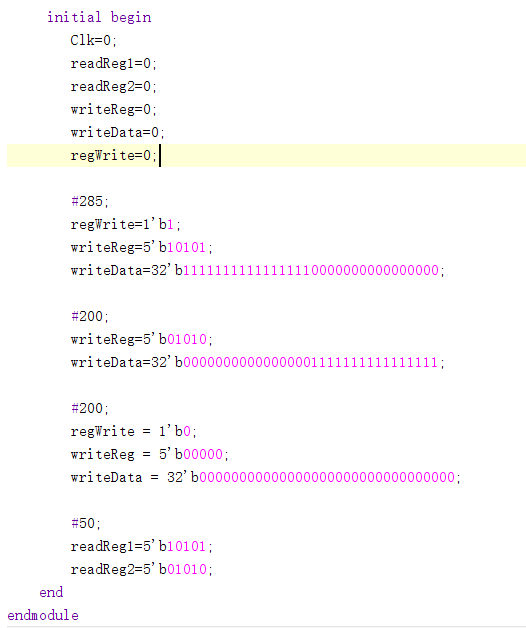
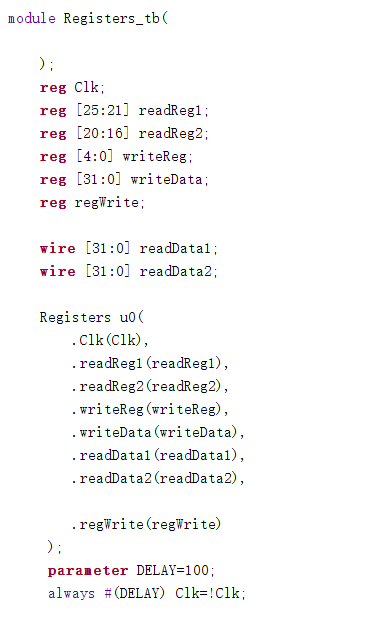


1. 符号扩展模块

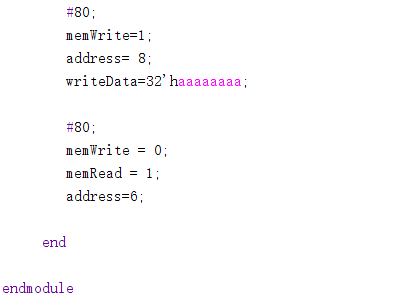
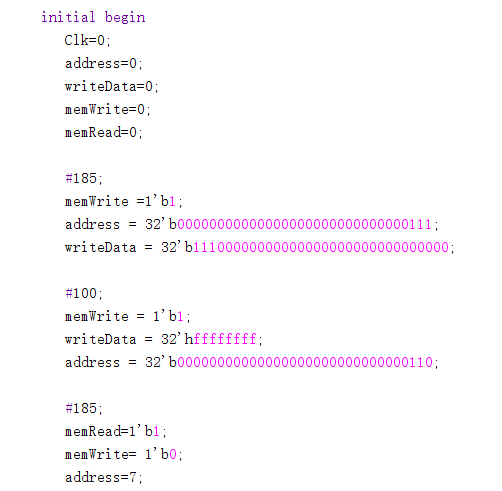
判断一个 16 位带符号数是否表示的是负数，只要看其最高位是否为 1。如果为 1，那么扩展后的高 16 位全为 1，否则全为 0。按照此逻辑编写模块即可。



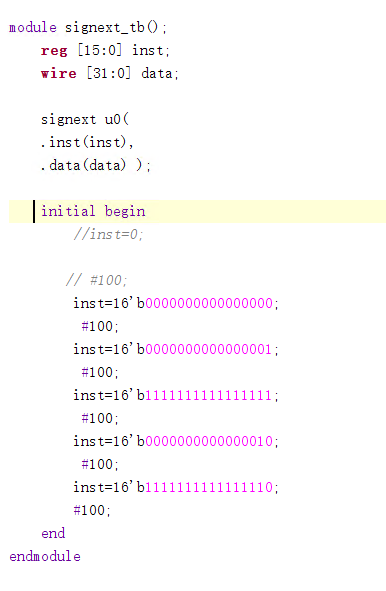
1. 激励文件
2. Registers\_tb:



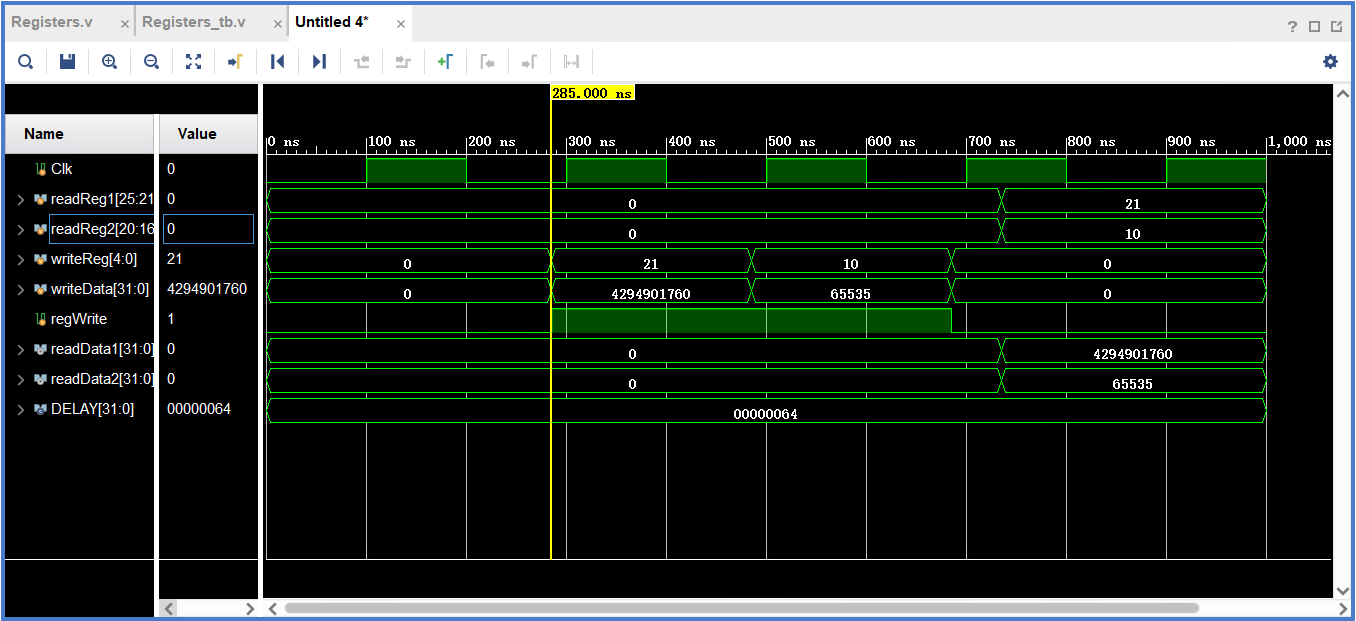
1. dataMemory\_tb



1. signext\_tb

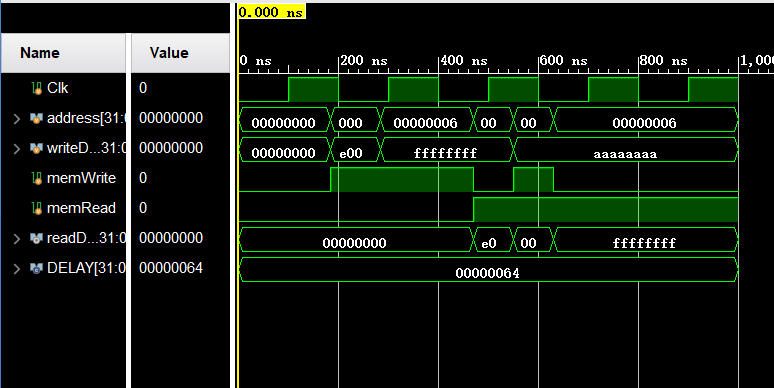


1. 结果展示
2. Registers仿真波形



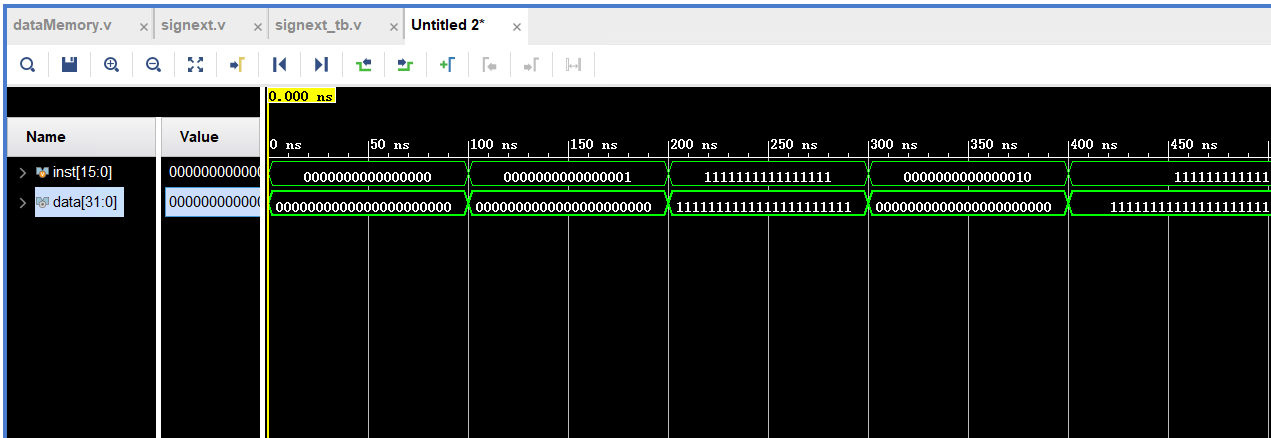
波形符合预期，仿真成功。

1. DataMemory仿真波形



分别观察不同激励信号下存储器的输出信号的内部状态，符合预期。

1. signext仿真波形



由波形可知，仿真结果满足预期设计。

1. 心得体会

本次实验实现了简单MIPS处理器中的存储器。通过这次实验，我认识到各模块中组合逻辑和时序逻辑的区别，使我对寄存器，数据存储器和符号位扩展的工作原理有了更进一步的认识。